

# PLANE ANTENNA

Publication number: JP8070216

Publication date: 1996-03-12

Inventor: IEDA SEIICHI; MURAKAMI YUICHI; YASUDA TOMIO;  
SUGIURA HIROTANE

Applicant: AISIN SEIKI

Classification:

- international: H01Q23/00; H01Q13/08; H03F3/189; H03F3/60;  
H01Q23/00; H01Q13/08; H03F3/189; H03F3/60; (IPC1-  
7): H01Q13/08; H01Q23/00; H03F3/189; H03F3/60

- European:

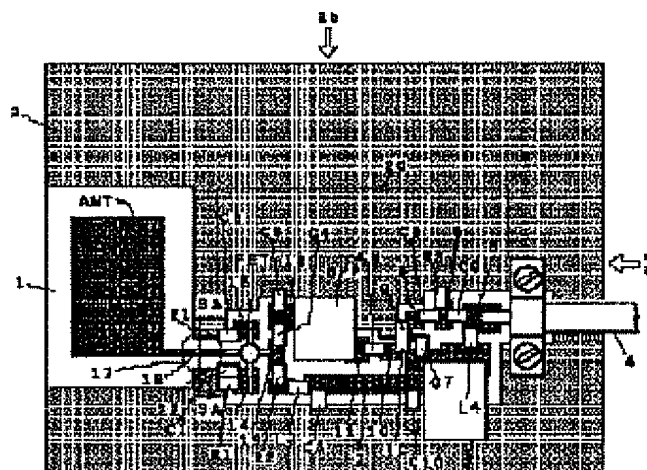
Application number: JP19940202600 19940826

Priority number(s): JP19940202600 19940826

[Report a data error here](#)

## Abstract of JP8070216

**PURPOSE:** To realize an active plane antenna at a low cost with a small height and a low NF in which reduction in a signal level between a high frequency amplifier and an antenna conductor is small by forming a signal line conductor tying a plane antenna conductor and the high frequency amplifier to be an integrated and continuous conductor with the plane antenna conductor. **CONSTITUTION:** A plane antenna conductor ANT and separate conductors 5-15 for interconnecting amplifier circuit elements are connected to the surface of a dielectric board 1, plural electric circuit elements (FET, BPF or the like) are connected to the separate conductors 5-15 to form a high frequency amplifier 20, then the plane antenna conductor ANT and the high frequency amplifier 20 are formed on the same plane of the dielectric board 1. Then coplanar lines (17;16,21,22) interconnect the plane antenna conductor ANT with the high frequency amplifier circuit 20, and the coplanar line 17 is also on the same plane as the plane antenna conductor ANT and the high frequency amplifier 20. That is, the signal line conductor 16 tying the plane antenna conductor ANT and the high frequency amplifier 20 is integrated and continuous with the plane antenna conductor ANT.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-70216

(43) 公開日 平成8年(1996)3月12日

(51) Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 Q 13/08

23/00

H 0 3 F 3/189

3/60

8839-5J

審査請求 未請求 請求項の数1 OL (全5頁)

(21) 出願番号

特願平6-202600

(22) 出願日

平成6年(1994)8月26日

(71) 出願人 000000011

アイシン精機株式会社

愛知県刈谷市朝日町2丁目1番地

(72) 発明者 家 田 清 一

愛知県刈谷市朝日町2丁目1番地 アイシン精機株式会社内

(72) 発明者 村 上 裕 一

愛知県刈谷市朝日町2丁目1番地 アイシン精機株式会社内

(72) 発明者 保 田 富 夫

愛知県刈谷市朝日町2丁目1番地 アイシン精機株式会社内

(74) 代理人 弁理士 杉 信 興

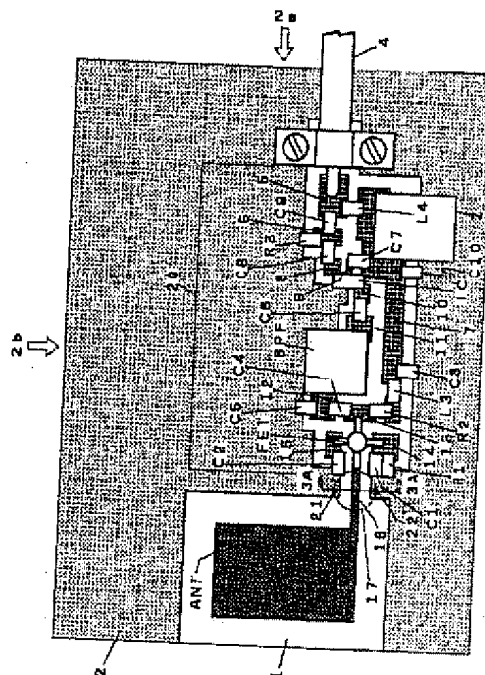
最終頁に続く

(54) 【発明の名称】 平面アンテナ

(57) 【要約】

【目的】 低損失、低NF、低プロファイルおよび低コストのアクティブ平面アンテナの提供。

【構成】 誘電体基板(1)；その裏面に接合した接地導体(3)；基板(1)の表面に接合した平面アンテナ導体(ANT)；アンテナ導体(ANT)と一体連続の、基板(1)の表面に接合した信号線導体(16)；その両側にあつてそれとの間に空隙を置いて相対向し信号線導体(16)と共にコプレーナ線路(17)を形成する、基板(1)の表面に接合した接地導体(21, 22)；基板(1)の表面に接合した、増幅回路素子接続用の分離導体(5~15)；および、基板(1)の表面に組付けられ、信号線導体(16)および分離導体(5~15)に接続され、分離導体(5~15)と共に高周波増幅器(20)を構成する、複数の電気回路素子(FET, BPF, IC, Z, L1~L4, C1~C10, R1~R3)；を備える平面アンテナ。



ンテナ導体および高周波増幅器(20)と同一面(誘電体基板1の表面)にある。

【0009】このように、平面アンテナ導体(ANT)、コブレナ線路(17=16, 21, 22)および高周波増幅器(20)の3者が同一平面(誘電体基板1の表面)にあって、コブレナ線路(17=16, 21, 22)の、平面アンテナ導体と高周波増幅器(20)とを結ぶ信号線導体(16)が、平面アンテナ導体と一体連続のものであるので、線路長は極く短くでき、低損失かつ低NFのアクティブ平面アンテナが実現する。コブレナ線路(17=16, 21, 22)は接地導体(2の21, 22)に周囲を囲まれた共平面回路であるため、高周波増幅器(20)の入力段のFETの接地接続が容易であり、良好なアースが取れる。

【0010】1つの誘電体基板(1)の表面に平面アンテナ導体(ANT)、コブレナ線路(17=16, 21, 22)および高周波増幅器(20)の3者を装備するので、しかも回路線は基板表面の一層の導体(プリントパターン導体)で済むので、3者を簡潔に構成することができ、低プロファイルの平面アンテナを低コストで提供しうる。

【0011】

【実施例】図1に本発明の一実施例の上面を示し、図2の(a)には図1の矢印2a方向から見た側面を、図2の(b)には図1の矢印2b方向から見た正面を示す。このアクティブ平面アンテナの基板は、表、裏面にプリント導体を有する誘電体基板1であり、裏面の導体はアンテナの接地導体3として、誘電体基板1の裏面全域にある。表面の導体は、プリント回路基板製造において公知のプリント導体パターン形成技術により、大きくは、アンテナ導体ANT(アンテナ導体パターン)、接地導体2(接地導体パターン)および増幅回路素子接続用の分離導体5~15(高周波増幅回路配線パターン)に分離されている。細かくは、矩形のアンテナ導体ANTのコーナ部に給電用の信号線導体16が一体連続で形成されており、接地導体2が、この信号線導体16の両側にそれと所定のギャップを置いて平行に延びている。接地導体2のこの部分21, 22は、信号線導体16と共に、コブレナ線路17を形成している。

【0012】信号線導体16にはFETが接続されており、このFETを含む高周波増幅器20の回路素子FET, BPF, IC, Z, L3, L4, C1~C10, R1~R3が、誘電体基板1の表面の接地導体2、信号線導体16および分離導体5~15に接続されている。同軸ケーブル4の芯導体(信号線)が分離導体5に接続され、同軸ケーブル4の外被導体(接地線)が、ケーブル固定具および基板(1+2+3)を貫通した止めねじを介して、表面の接地導体2および裏面の接地導体3に接続されている。逆に言うと、表、裏面の接地導体2および3は、同軸ケーブル4の外被導体に、ケーブル固定具および止めねじで接続されている。

【0013】図4に、図1に示す誘電体基板1の表面に

形成された電気回路の概要を、図5には誘電体基板1の表面に形成された電気回路の詳細を示す。誘電体基板1の材質および厚み、平面アンテナ導体ANTの形状および裏面の接地導体3の面積は、所定波長の電波の送受信に適したものである。この実施例は、GPSにおいて衛星が発信する電波を受信するためのGPS用アンテナである。アンテナ導体ANTに誘起する受信信号が、コブレナ線路17の信号線導体16を通して、回路素子FET, BPF, IC, Z, L3, L4, C1~C10, R1~R3および分離導体5~15で構成される高周波増幅器20に与えられ、増幅されて同軸ケーブル4に送り出される。

【0014】図3の(a)に、図1の3A-3A線断面すなわちコブレナ線路17部の横断面を、拡大して示す。アンテナ導体ANTと連続した信号線導体16は、接地導体2のコブレナ線路用接地導体21, 22の間に位置する。本発明者の実験によると、信号線導体16の幅2Aおよびコブレナ線路用接地導体21, 22の間隔(ギャップ)2Bと、それらによって形成されたコブレナ線路17のインピーダンス $Z_0$ との関係は、図3の(b)に示すようになり、接地導体21, 22間のギャップ2Bを狭くするほど、また信号線導体16の幅2Aを大きくするほど、インピーダンス $Z_0$ が小さくなる。この特性に従って、所要の特性インピーダンス $Z_0$ のコブレナ線路17を設計することができる。なお、図3の(b)に示す特性は、誘電率 $\epsilon_r$ が2.0、厚みHが5.0mmの誘電体基板1を用いた場合のものである。

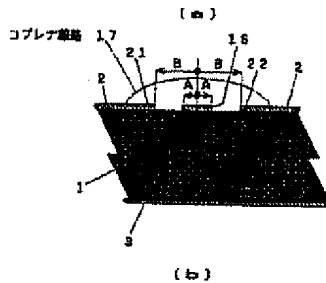
【0015】FETと信号線導体16の間にインダクタンスが必要な場合は、図6に示すようにインダクタL1, L2を接続すればよい。これを行なう態様では、図1に示す信号線導体16とFETの間にもう1つの分離導体を、他の分離導体5~15の形成と同時に形成し、この分離導体にFETおよびチップインダクタL1, L2の一端を接続し、チップインダクタL1, L2の他端を接地導体2に接続すればよい。

【0016】以上に説明した実施例においては、アンテナ導体ANTは矩形であるが、これを例えば特開平2-130003号公報に開示のスタブ付多角形状のものや特開平6-45824号公報に開示の円板形状のものにすることができる。また、スロットアンテナ形状とすることもできる。

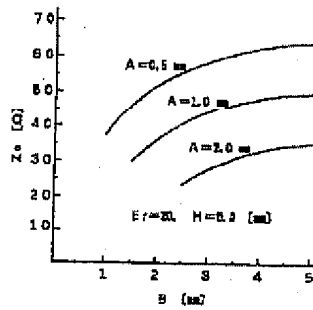
【0017】

【発明の効果】平面アンテナ導体(ANT)、コブレナ線路(17)および高周波増幅器(20)の3者を誘電体基板(1)の同一表面上に装備し、コブレナ線路(17)の、平面アンテナ導体(ANT)と高周波増幅器(20)とを結ぶ信号線導体(16)を、平面アンテナ導体と一体連続のものとしたので、線路長は極く短くでき、低損失かつ低NFのアクティブ平面アンテナが実現する。コブレナ線路(17=16, 21, 22)は接地導体(2の21, 22)に周囲を囲まれた共平面回路であ

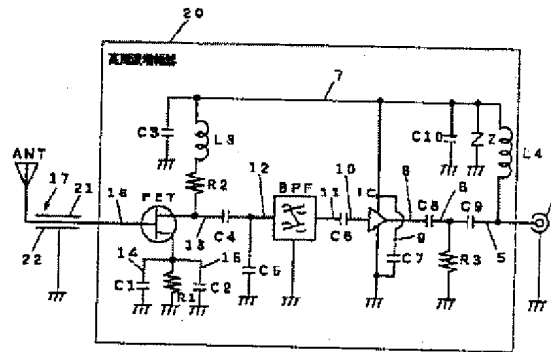
【図3】



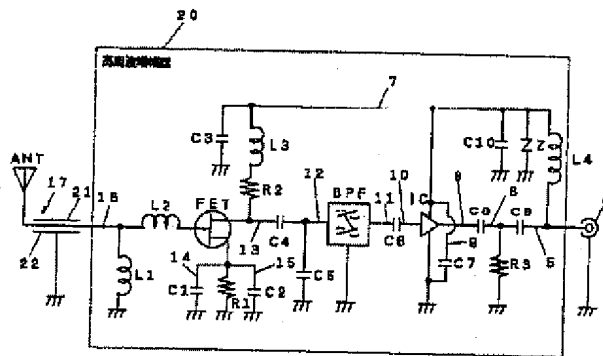
(b)



【図5】



【図6】



フロントページの続き

(72)発明者 杉 浦 裕 胤  
愛知県刈谷市朝日町2丁目1番地 アイシ  
ン精機株式会社内

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-168354

(43) 公開日 平成11年(1999)6月22日

(51) Int. Cl.

識別記号

F I

H 0 3 H 11/20

H 0 3 H 11/20

A

H 0 1 P 1/18

H 0 1 P 1/18

1/185

1/185

審査請求 未請求 請求項の数15 O L (全 15 頁)

(21) 出願番号

特願平9-334083

(22) 出願日

平成9年(1997)12月4日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 神谷 信之

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72) 発明者 重松 智徳

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72) 発明者 森田 晋一

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 弁理士 宮田 金雄 (外2名)

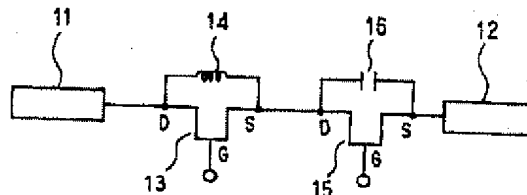
最終頁に続く

(54) 【発明の名称】 可変移相器

(57) 【要約】

【課題】 従来の移相器は、使用周波数に対し1/4波長の電気長をもつ伝送線路が3本必要となるため、回路が大型化するという課題があった。

【解決手段】 FETのドレインとソース間にインダクタまたはキャパシタを接続し、前記FETのゲートにオン電圧を印加した場合、前記FETのドレインから入力された信号をそのままFETのソースから出力する。一方、前記FETのゲートにピンチオフ電圧を印加した場合、FETがオフ状態となり、前記入力信号は前記インダクタまたはキャパシタを通過するように構成されている。



13: 第1のFET

14: インダクタ

15: 第2のFET

16: キャパシタ

(3)

特開平11-168354

3

4

子とする第1のキャパシタと、一端が上記第1のキャパシタの他端に接続され、かつ他端が接地された第1のインダクタと、一端が上記第1のインダクタと上記第1のキャパシタの接続部に接続された第2のインダクタと、一端が上記第2のインダクタの他端に接続され、かつ他端が接地された第2のキャパシタとを有する。

【発明の属する技術分野】この発明はレーダー受信機等に用いられ、高周波信号の位相を電気的に変化させるための、デジタル制御の可能な移相器に関するものである。

中华人民共和国国家知识产权局

申请号：200410008928.0

前景。除非申请人在本通知书指定的两个月答复期限内提出表明本申请具有创造性的充分理由，否则，本申请将被驳回。

审查员：刘锋

代码：93A7

体が位相遅れ回路である直列のインダクタに見える場合と、位相進み回路である直列のキャパシタに見える場合とを切り替え、通過位相を変化させて移相器を構成し、かつ主線路を構成する回路中のキャパシタとしてMIM (Metal Insulator Metal) キャパシタまたはインターデジタルキャパシタを用いることで小型の可変移相器を得るものである。

【0021】また、第15の発明による可変移相器は、前記第1から第14の発明による可変移相器に用いる構成回路を、半導体の同一基板上で一体形成することにより、小型の可変移相器を得るものである。

【0022】

【発明の実施の形態】実施の形態1. この発明による可変移相器の実施の形態1を図1に示す。図1において、11は入力端子、12は出力端子、13はドレインDが入力端子11に接続され、高周波信号を通すことが可能な第1のFET、14は一端が前記第1のFET13のドレインDに接続され、他端が第1のFET13のソースSに接続されたインダクタ、15はドレインDが第1のFET13のソースSに接続され、ソースSが出力端子12に接続された第2のFET、16は一端が第2のFET15のドレインDに接続され、他端が第2のFET15のソースSに接続されたキャパシタである。

【0023】次に動作について説明する。まず、第1のFET13のゲートGにオン電圧を印加し、かつ第2のFET15のゲートGにオン電圧を印加する。この時、第1のFET13はドレインDから入力された信号がそのままソースSから出力されるスルー状態となり、第2のFET15もドレインDから入力された信号がそのままソースSから出力されるスルー状態となる。この状態で入力端子11に入力され出力端子12から出力された高周波信号の位相を基準として考える。次に、第1のFET13のゲートGにピンチオフ電圧を印加し、かつ第2のFET15のゲートGにオン電圧を印加する。この時、第1のFET13は信号が通過することができないオフ状態となるため、信号はインダクタ14を通過する。また第2のFET15はドレインDから入力された信号がそのままソースSから出力されるスルー状態となる。従って、入力端子11から入力された高周波信号はインダクタ14を通過することで上記基準に対し位相が遅れ、出力端子12から出力される。次に第1のFET13の

ゲートGにピンチオフ電圧を印加し、かつ第2のFET15のゲートGにピンチオフ電圧を印加する。この時、第1のFET13は信号が通過することができないオフ状態となるため、信号はインダクタ14を通過する。また第2のFET15も信号が通過することができないオフ状態となるため、信号はキャパシタ16を通過する。従って、入力端子11から入力された高周波信号はインダクタ14とキャパシタ16を通過することで上記基準に対しインダクタ14とキャパシタ16の位相変化を足しあわせた位相だけ変化し、出力端子12から出力される。また、インダクタとキャパシタでは位相量の周波数による位相変化の傾きが逆であるため、それぞれ打ち消しあい、周波数による預きが大きくなるのを防いでいる。よって、第1のFET13と第2のFET15の状態を変化させることで、通過位相を4通りに変化させることのできる可変移相器としてこの回路は動作する。

【0024】実施の形態2. この発明による可変移相器の実施の形態2を図2に示す。図2において、11は入力端子、12は出力端子、17はドレインDが入力端子11に接続され、高周波信号を通すことが可能な第1のFET、18は一端が前記第1のFET17のドレインDに接続され、他端が第1のFET17のソースSに接続された第1のインダクタ、19はドレインDが第1のFET17のソースSに接続され、高周波信号を通すことが可能な第2のFET、20は一端が第2のFET19のドレインDに接続され、他端が第2のFET19のソースSに接続されたキャパシタ、21はドレインDが第2のFET19のソースSに接続され、ソースSが出力端子12に接続され、高周波信号を通すことが可能な第3のFET、22は出端が第3のFET21のドレインDに接続され、他端が第3のFET21のソースSに接続された第2のインダクタである。

【0025】次に動作について説明する。まず、第1のFET17と第2のFET19と第3のFET21のゲートGにオン電圧を印加する。この時、第1のFET17と第2のFET19と第3のFET21はドレインDから入力された信号がそのままソースSから出力されるスルー状態となる。この状態で入力端子11に入力され出力端子12から出力された高周波信号の位相を基準として考える。次に、第1のFET17と第3のFET21のゲートGにピンチオフ電圧を印加し、かつ第2のFET19のゲートGにオン電圧を印加する。この時、第1のFET17と第3のFET21は信号が通過することができないオフ状態となるため、信号は第1のインダクタ18と第2のインダクタ22を通過する。また第2のFET19はドレインDから入力された信号がそのままソースSから出力されるスルー状態となる。従って、入力端子11から入力された高周波信号は第1のインダクタ18と第2のインダクタ22を通過することで上記基準に対し位相が遅れ、出力端子12から出力される。

11

力端子、12は出力端子、29はドレインDが入力端子11に接続され、高周波信号を通すことが可能な第1のFET、30は一端が前記第1のFET29のドレインDに接続され他端が第1のFET29のソースSに接続された第1のインダクタ、31はドレインDが第1のFET29のソースSに接続され、高周波信号を通すことが可能な第2のFET、32は一端が前記第2のFET31のドレインDに接続され、他端が第2のFET31のソースSに接続された第1のキャパシタ、33は一端が第2のFET31のソースSに接続され、高周波信号を通すことが可能で、回路の特性インピーダンス（一般的には50Ω）を持ち、使用周波数において1/4波長の電気長を持つ主線路、34はドレインDが前記主線路33の他端に接続された第3のFET、35は一端が第3のFET34と主線路33の接続部に接続され、他端が第3のFET34のソースSに接続された第2のインダクタ、36はドレインDが第3のFET34のソースSに接続され、ソースSが出力端子12に接続された第4のFET、37は一端が前記第4のFET36のドレインDに接続され、他端が第4のFET36のソースSに接続された第2のキャパシタである。

【0029】次に動作について説明する。まず、第1のFET29、第2のFET31、第3のFET34、第4のFET36のゲートGにオン電圧を印加する。この時、第1のFET29、第2のFET31、第3のFET34、第4のFET36はドレインDから入力された信号がそのままソースSから出力されるスルー状態となる。この状態で入力端子11に入力され出力端子12から出力された高周波信号の位相状態を基準とする。次に、第1のFET29と第3のFET34のゲートGにピンチオフ電圧を印加し、かつ第2のFET31と第4のFET36のゲートGにオン電圧を印加する。この時、第2のFET31と第4のFET36はドレインDから入力された信号がそのままソースSから出力されるスルー状態となる。また、第1のFET29と第2のFET34は信号が通過することができないオフ状態となるため、信号は第1のインダクタ30と第2のインダクタ35を通過する。この時、入力端子11から入力された高周波信号は第1のインダクタ30と第2のインダクタ35を通過することで上記基準に対し位相が遅れ、出力端子12から出力される。また、第1のインダクタ30と第2のインダクタ35の間に主線路33があるため、第1のインダクタ30で反射された反射波と第2のインダクタ35で反射された反射波は位相状態が反転している。このため、それぞれの反射波を打ち消しあい、VSWR (Voltage Standing Wave Ratio) の悪化を防いでいる。次に、第2のFET31と第4のFET36のゲートGにピンチオフ電圧を印加し、かつ第1のFET29と第3のFET34のゲートGにオン電圧を印加する。この時、第1のFE

12

T29と第3のFET34はドレインDから入力された信号がそのままソースSから出力されるスルー状態となる。また、第2のFET31と第4のFET36は信号が通過することができないオフ状態となるため、信号は第1のキャパシタ32と第2のキャパシタ37を通過することで上記基準に対し位相が進み、出力端子12から出力される。また、第1のキャパシタ32と第2のキャパシタ37の間に主線路33があるため、第1のキャパシタ32で反射された反射波と第2のキャパシタ37で反射された反射波は位相状態が反転している。このため、それぞれの反射波を打ち消しあい、VSWR (Voltage Standing Wave Ratio) の悪化を防いでいる。次に、第1のFET29と第2のFET31と第3のFET34と第4のFET36のゲートGにピンチオフ電圧を印加する。この時、第1のFET29と第2のFET31と第3のFET34と第4のFET36はそれぞれ信号が通過することができないオフ状態となるため、信号は第1のインダクタ30と第1のキャパシタ32と第2のインダクタ35と第2のキャパシタ37を通過する。従って、入力端子11から入力された高周波信号は第1のインダクタ30と第1のキャパシタ32と第2のインダクタ35と第2のキャパシタ37を通過することで上記基準に対し第1のインダクタ30と第1のキャパシタ32と第2のインダクタ35と第2のキャパシタ37の位相変化を足しあわせた位相だけ変化し、出力端子12から出力される。また、インダクタとキャパシタでは位相量の周波数による位相変化の傾きが逆であるため、それぞれ打ち消しあい、周波数による傾きが大きくなるのを防いでいる。よって、第1のFET29と第2のFET31と第3のFET34と第4のFET36の状態を変化させることで、通過位相を4通りに変化させることのできる可変移相器としてこの回路は動作する。

【0030】実施の形態5。この発明による可変移相器の実施の形態5を図5に示す。図5において、11、12、29、30、31、32、34、35、36、37は実施の形態4と同じ、38は高周波信号を通すことが可能な第3のインダクタ、39は一端が第3のインダクタ38の他端に接続され、他端が接地された第3のキャパシタ、40は一端が第3のインダクタ38と第3のキャパシタ39の接続部に接続された第4のインダクタである。

【0031】次に動作について説明する。第3のインダクタ38、第3のキャパシタ39、第4のインダクタ40はT型ローパスフィルタを構成しており、使用周波数におけるインピーダンスをこの回路の前後に接続されている回路の特性インピーダンス（一般的には50Ω）とすることが可能である。また、このT型ローパスフィルタに入力された信号の位相を1/4波長遅らせて出力させることも可能である。ここで、上記ローパスフィルタ



リウムと素)を用いた基板、74は基板73の裏面で接地されたスルーホールである。

【0057】次に動作について説明する。第1のハイインピーダンス線路75、インターデジタルキャパシタ76、第2のハイインピーダンス線路77はT型ローパスフィルタを構成しており、使用周波数におけるインピーダンスをこの回路の前後に接続されている回路の特性インピーダンス(一般的には $50\Omega$ )とすることが可能である。また、このローパスフィルタに入力された信号の位相を $1/4$ 波長遅らせて出力させることも可能である。ここで、上記ローパスフィルタを通過する通過位相を $\phi$ 、使用周波数を $f$ 、第1のハイインピーダンス線路75および第2のハイインピーダンス線路77のインダクタンスを $L$ 、インターデジタルキャパシタ76のキャパシタンスを $C$ とおくと、 $\phi$ と $L$ と $C$ の関係は前記“数1”で表わされる。したがって、実施の形態4における主線路33としてこのローパスフィルタを用い、実施の形態4に示す回路と等価な回路を得ることができる。

【0058】

【発明の効果】第1の発明による可変移相器は、FETをスイッチとして用い、通過信号に対して回路全体が位相遅れ回路である直列のインダクタに見える場合と、位相進み回路である直列のキャパシタに見える場合とを切り替え、通過位相を変化させて移相器を構成することにより回路を小型化する効果がある。

【0059】第2の発明による可変移相器は、FETをスイッチとして用い、通過信号に対して回路全体が位相遅れ回路である直列のインダクタに見える場合と、位相進み回路である直列のキャパシタに見える場合とを切り替え、通過位相を変化させて移相器を構成することにより回路を小型化する効果がある。

【0060】第3の発明による可変移相器は、FETをスイッチとして用い、通過信号に対して回路全体が位相遅れ回路である直列のインダクタに見える場合と、位相進み回路である直列のキャパシタに見える場合とを切り替え、通過位相を変化させて移相器を構成することにより回路を小型化する効果がある。

【0061】第4の発明による可変移相器は、FETをスイッチとして用い、通過信号に対して回路全体が位相遅れ回路である直列のインダクタに見える場合と、位相進み回路である直列のキャパシタに見える場合とを切り替え、通過位相を変化させて移相器を構成することにより回路を小型化する効果がある。また、 $1/4$ 波長の電気長をもった主線路により反射を低減させ、入出力反射の少ない移相器を得るものである。

【0062】第5の発明による可変移相器は、FETをスイッチとして用い、通過信号に対して回路全体が位相遅れ回路である直列のインダクタに見える場合と、位相進み回路である直列のキャパシタに見える場合とを切り替え、通過位相を変化させて移相器を構成することによ

り回路を小型化する効果がある。また、主線路としてインダクタとキャパシタによるT型ローパスフィルタを用いることにより、小型化する効果がある。

【0063】第6の発明による可変移相器は、FETをスイッチとして用い、通過信号に対して回路全体が位相遅れ回路である直列のインダクタに見える場合と、位相進み回路である直列のキャパシタに見える場合とを切り替え、通過位相を変化させて移相器を構成することにより回路を小型化する効果がある。また、主線路としてインダクタとキャパシタによるT型ハイパスフィルタを用いることにより、小型化する効果がある。

【0064】第7の発明による可変移相器は、FETをスイッチとして用い、通過信号に対して回路全体が位相遅れ回路である直列のインダクタに見える場合と、位相進み回路である直列のキャパシタに見える場合とを切り替え、通過位相を変化させて移相器を構成することにより回路を小型化する効果がある。また、主線路としてインダクタとキャパシタによるパイ型ローパスフィルタを用いることにより、小型化する効果がある。

【0065】第8の発明による可変移相器は、FETをスイッチとして用い、通過信号に対して回路全体が位相遅れ回路である直列のインダクタに見える場合と位相進み回路である直列のキャパシタに見える場合とを切り替え、通過位相を変化させて移相器を構成することにより回路を小型化する効果がある。また、主線路としてインダクタとキャパシタによるパイ型ハイパスフィルタを用いることにより、小型化する効果がある。

【0066】第9の発明による可変移相器は、FETをスイッチとして用い、通過信号に対して回路全体が位相遅れ回路である直列のインダクタに見える場合と、位相進み回路である直列のキャパシタに見える場合とを切り替え、通過位相を変化させて移相器を構成することにより回路を小型化する効果がある。また、主線路としてインダクタとキャパシタによるT型ローパスフィルタを用いることにより、小型化する効果がある。

【0067】第10の発明による可変移相器は、FETをスイッチとして用い、通過信号に対して回路全体が位相遅れ回路である直列のインダクタに見える場合と、位相進み回路である直列のキャパシタに見える場合とを切り替え、通過位相を変化させて移相器を構成することにより回路を小型化する効果がある。また、主線路としてインダクタとキャパシタによるT型ハイパスフィルタを用いることにより、小型化する効果がある。

【0068】第11の発明による可変移相器は、FETをスイッチとして用い、通過信号に対して回路全体が位相遅れ回路である直列のインダクタに見える場合と、位相進み回路である直列のキャパシタに見える場合とを切り替え、通過位相を変化させて移相器を構成することにより回路を小型化する効果がある。また、主線路としてインダクタとキャパシタによるパイ型ローパスフィルタ

15

$$L = \frac{50}{2\pi f \times \tan(\frac{\phi}{2})}$$

16

$$C = \frac{1}{50 \times 2\pi f \times \sin(\phi)}$$

【0042】実施の形態9. この発明による可変移相器の実施の形態9を図9に示す。図9において、11、12、29、30、31、32、34、35、36、37は実施の形態4と同じ、50は高周波信号を通すことが可能な第3のインダクタ、51は一端が第3のインダクタ50の他端に接続され、他端が接地された第3のキャパシタ、52は一端が第3のインダクタ50と第3のキャパシタ51の接続部に接続された第4のインダクタ、53は一端が第4のインダクタ52の他端に接続され、他端が接地された第4のキャパシタ、54は一端が第4のインダクタ52と第4のキャパシタ53の接続部に接続された第5のインダクタである。

【0043】次に動作について説明する。第3のインダクタ50、第3のキャパシタ51、第4のインダクタ52、第4のキャパシタ53、第5のインダクタ54はT型ローパスフィルタを構成しており、使用周波数におけるインピーダンスをこの回路の前後に接続されている回路の特性インピーダンス（一般的には50Ω）とすることが可能である。また、このT型ローパスフィルタに入力された信号の位相を1/4波長遅らせて出力させることも可能である。ここで、上記ローパスフィルタを通過する通過位相をφ、使用周波数をf、第3のインダクタ50および第5のインダクタ54のインダクタンスをL1、第4のインダクタ52のインダクタンスをL2、第3のキャパシタ51と第4のキャパシタ53のキャパシタンスをCとおくと、φとL1とL2とCの関係は以下の“数5”で表わされる。したがって、実施の形態4における主線路33としてこのローパスフィルタを用い、実施の形態4に示す回路と等価な回路を得ることができる。

【0044】

【数5】

$$L_1 = \frac{50 \times \tan(\frac{\phi}{2})}{2\pi f} \quad L_2 = 2 \times L_1$$

$$C = \frac{\sin(\frac{\phi}{2})}{50 \times 2\pi f}$$

【0045】実施の形態10. この発明による可変移相器の実施の形態10を図10に示す。図10において、11、12、29、30、31、32、34、35、36、37は実施の形態4と同じ、55は高周波信号を通すことが可能な第3のキャパシタ、56は一端が第3のキャパシタ55の他端に接続され、他端が接地された第3のインダクタ、57は一端が第3のキャパシタ55と第3のインダクタ56の接続部に接続された第4のキャパシタ、58は一端が第4のキャパシタ57の他端に接

\*続され、他端が接地された第4のインダクタ、59は一端が第4のキャパシタ57と第4のインダクタ58の接続部に接続された第5のキャパシタである。

【0046】次に動作について説明する。第3のキャパシタ55、第3のインダクタ56、第4のキャパシタ57、第4のインダクタ58、第5のキャパシタ59はT型ハイパスフィルタを構成しており、使用周波数におけるインピーダンスをこの回路の前後に接続されている回路の特性インピーダンス（一般的には50Ω）とすることが可能である。また、このハイパスフィルタに入力された信号の位相を1/4波長進ませて出力させることも可能である。ここで、上記ハイパスフィルタを通過する通過位相をφ、使用周波数をf、第3のインダクタ56と第4のインダクタ58のインダクタンスをL、第3のキャパシタ55および第5のキャパシタ59のキャパシタンスをC1、第4のキャパシタ57のキャパシタンスをC2とおくと、φとLとC1とC2の関係は以下の“数6”で表わされる。したがって、実施の形態4における主線路33としてこのハイパスフィルタを用い、実施の形態4に示す回路と等価な回路を得ることができる。

【0047】

【数6】

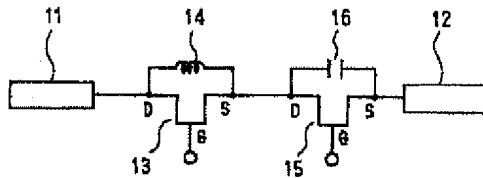
$$L = \frac{50}{2\pi f \times \sin(\frac{\phi}{2})}$$

$$C_1 = \frac{1}{50 \times 2\pi f \times \tan(\frac{\phi}{2})} \quad C_2 = 2 \times C_1$$

【0048】実施の形態11. この発明による可変移相器の実施の形態11を図11に示す。図11において、11、12、29、30、31、32、34、35、36、37は実施の形態4と同じ、60は高周波信号を通すことが可能な第3のインダクタ、61は一端が第3のインダクタ60の一端に接続され、他端が接地された第3のキャパシタ、62は一端が第3のインダクタ60の他端に接続され、他端が接地された第4のキャパシタ、63は一端が第3のインダクタ60と第4のキャパシタ62の接続部に接続された第4のインダクタ、64は一端が第4のインダクタ63の他端に接続され、他端が接地された第5のキャパシタである。

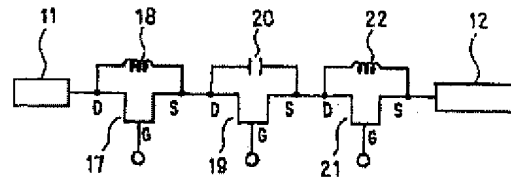
【0049】次に動作について説明する。第3のインダクタ60、第3のキャパシタ61、第4のキャパシタ62、第4のインダクタ63、第5のキャパシタ64はパイ型ローパスフィルタを構成しており、使用周波数におけるインピーダンスをこの回路の前後に接続されている回路の特性インピーダンス（一般的には50Ω）とすることが可能である。また、このローパスフィルタに入力

【図1】



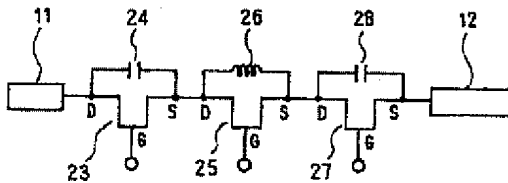
- 13: 第1のFET  
14: インダクタ  
15: 第2のFET  
16: キャパシタ

【図2】



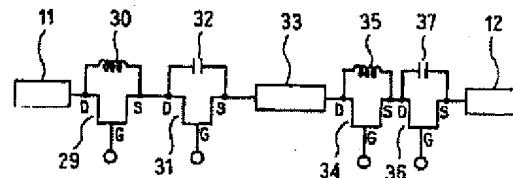
- 17: 第1のFET  
18: 第1のインダクタ  
19: 第2のFET  
20: キャパシタ  
21: 第3のFET  
22: 第2のインダクタ

【図3】



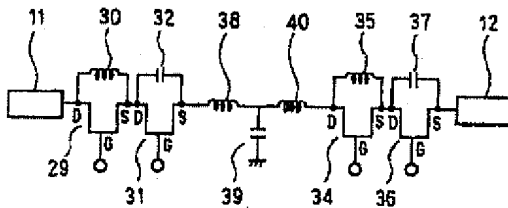
- 23: 第1のFET  
24: 第1のキャパシタ  
25: 第2のFET  
26: インダクタ  
27: 第3のFET  
28: 第2のキャパシタ

【図4】



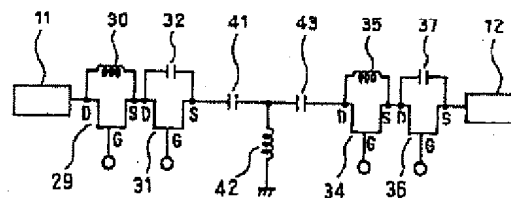
- 29: 第1のFET  
30: 第1のインダクタ  
31: 第2のFET  
32: 第1のキャパシタ  
33: 主線路  
34: 第3のFET  
35: 第2のインダクタ  
36: 第4のFET  
37: 第2のキャパシタ

【図5】



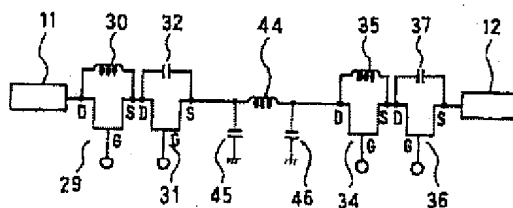
- 38: 第3のインダクタ  
39: 第3のキャパシタ  
40: 第4のインダクタ

【図6】



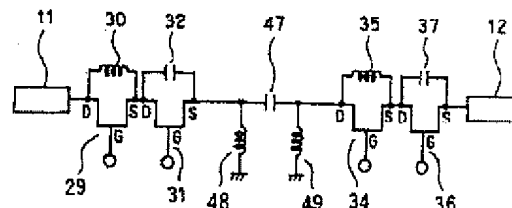
- 41: 第3のキャパシタ  
42: 第3のインダクタ  
43: 第4のキャパシタ

【図7】



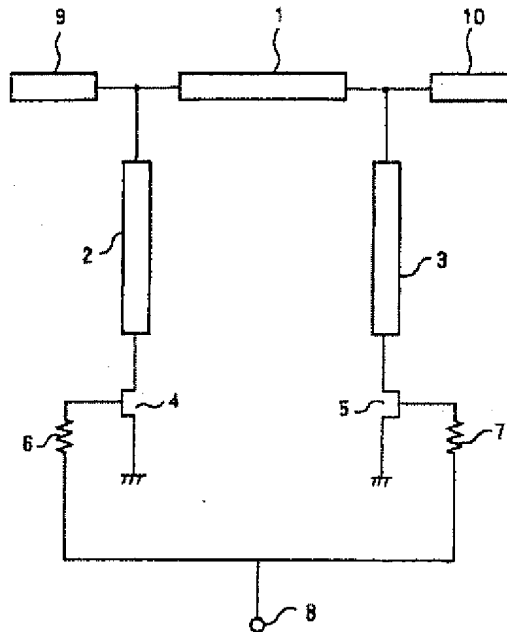
- 44: 第3のインダクタ  
45: 第3のキャパシタ  
46: 第4のキャパシタ

【図8】



- 47: 第3のキャパシタ  
48: 第3のインダクタ  
49: 第4のインダクタ

【図15】



- 1 : 伝送線路
- 2 : 伝送線路
- 3 : 伝送線路
- 4 : FET
- 5 : FET
- 6 : 抵抗
- 7 : 抵抗
- 8 : バイアス端子

フロントページの続き

(72)発明者 面 充徳

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内